

(11)Publication number : **10-145383**

(43)Date of publication of application : **29.05.1998**

(51)Int.Cl.

H04L 12/28

H04Q 3/00

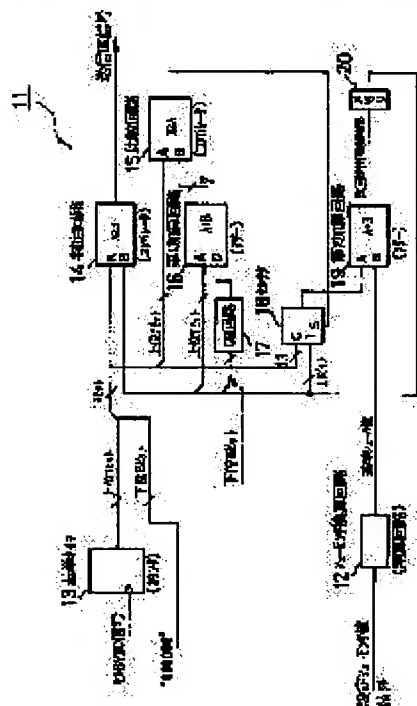
(21)Application number : 08-302074

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : **13.11.1996**

(72)Inventor: **BUSUJIMA KEIICHI**
TANAKA MAKOTO

(54) SHAPING CIRCUIT AND SHAPING CONTROL METHOD



(57)Abstract:

PROBLEM TO BE SOLVED: To finely set the shaping value between 0% and 100% and also to decide the optimum next transmittable time, according to the presence or absence of a transmission cell.

SOLUTION: This shaping circuit/method performs the transmission of cells at the next transmittable time, based on the reference shaping value. The 1-cell time (n) is set at the optional value, and the reference shaping value is calculated by dividing the time (n) by the set shaping value. If the value obtained by carrying up the preceding next transmittable time stored in a memory 20 is larger than the reference timer value, the reference shaping value is added to the preceding next transmittable time. If the said carried-up value is smaller than the reference timer value, the reference shaping value is added to the reference timer value to decide the next transmittable time. For these purposes, the next transmittable time decision parts 15 to 19 are prepared. Furthermore, a fluctuation control part manages the fluctuation of cells and specifies the next transmittable time.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-145383

(43) 公開日 平成10年(1998) 5月29日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

C

H 0 4 Q 3/00

H 0 4 Q 3/00

審査請求 未請求 請求項の数 4 O L (全 14 頁)

(21) 出願番号 特願平8-302074

(22) 出願日 平成8年(1996)11月13日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 毒島 圭一

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 田中 真

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

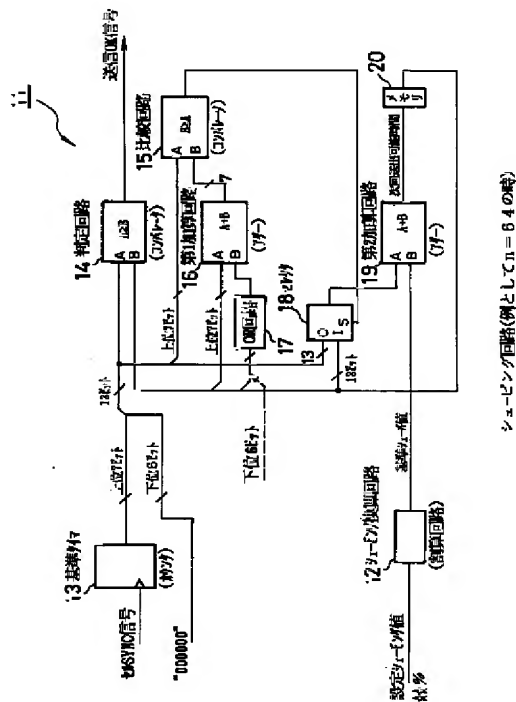
(74) 代理人 弁理士 工藤 宣幸

(54) 【発明の名称】 シェーピング回路及びシェーピング制御方法

(57) 【要約】

【課題】 設定シェーピング値を0%から100%まで細かく設定できると共に送信セルの有無により最適な次回送出可能時間を決定する。

【解決手段】 基準シェーピング値に応じて制御された次回送出可能時間にセルの送信制御を行うシェーピング回路及びその方法である。1セル時間nを任意の数値とし、基準シェーピング値を前記nから設定シェーピング値を割って求め、メモリ20に記憶された前回の次回送出可能時間を繰上げた値が基準タイマ値以上の場合前回の次回送出可能時間に基準シェーピング値を加算し、前回の次回送出可能時間を繰上げた値が基準タイマ値より小さい場合基準タイマ値に基準シェーピング値を加算して、次回送出可能時間とする次回送出可能時間決定部(15~19)を備えた。また、セルのゆらぎを管理して次回送出可能時間を特定するゆらぎ制御部(26~28)を備えた。



【特許請求の範囲】

【請求項1】 次のセルの送出が可能になるまでの時間である次回送出可能時間を基準設定時間である基準シェーピング値に応じて制御し、この次回送出可能時間によりセルの送信制御を行うシェーピング回路において、1セル時間を任意の数値とし、基準シェーピング値を1セル時間から設定シェーピング値を割って求めると共に、

前回の次回送出可能時間を繰上げた値が基準タイマ値以上の場合には前回の次回送出可能時間に前記基準シェーピング値を加算し、前回の次回送出可能時間を繰上げた値が基準タイマ値より小さい場合には基準タイマ値に前記基準シェーピング値を加算して、次回送出可能時間とする次回送出可能時間決定部を備えたことを特徴とするシェーピング回路。

【請求項2】 請求項1に記載のシェーピング回路において、セルのゆらぎを管理して次回送出可能時間を特定するゆらぎ制御部を備えたことを特徴とするシェーピング回路。

【請求項3】 次のセルの送出が可能になるまでの時間である次回送出可能時間を基準設定時間である基準シェーピング値に応じて制御し、この次回送出可能時間によりセルの送信制御を行うシェーピング制御方法において、

1セル時間を任意の数値とし、基準シェーピング値を1セル時間から設定シェーピング値を割って求めると共に、前回の次回送出可能時間を繰上げた値が基準タイマ値以上の場合には前回の次回送出可能時間に前記基準シェーピング値を加算し、前回の次回送出可能時間を繰上げた値が基準タイマ値より小さい場合には基準タイマ値に前記基準シェーピング値を加算して、次回送出可能時間とすることを特徴とするシェーピング制御方法。

【請求項4】 請求項3に記載のシェーピング制御方法において、セルのゆらぎを管理して次回送出可能時間を特定するゆらぎ制御を行うことを特徴とするシェーピング制御方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】この発明は、ATM (Asynchronous Transfer Mode) の技術を用いたATM交換機のATMセルの送出トラフィック流量制御（以下「シェーピング」と称す）に関するものである。

【0002】

【従来の技術】シェーピングとは、データをATMセル化して転送する際に、各コネクショ​​ンが申告したレートを守るように、セル転送のスケジューリングをするものである。このシェーピングを行う回路、即ちシェーピン

グ回路1は、一般に図2のように構成されている。このシェーピング回路1は主に、基準タイマ2と判定回路3と計算部4とメモリ5とから構成され、セル単位で判定回路3が制御されていた。

【0003】セルSYNC信号は、ATMセルの先頭を表す同期信号であるが、この信号により基準タイマ2が動作する。この基準タイマ2の動作による基準タイマ値は判定回路3と計算部4に出力される。判定回路3では、メモリ5に記憶された送出可能時間と基準タイマ値とが比較され、基準タイマ値が送出可能時間以上であるとき、送信OK信号が送出される。

【0004】計算部4では、基準タイマ2からの基準タイマ値とシェーピング設定値が加算されて次回送出可能時間が算出される。この次回送出可能時間はメモリ5に記憶されて、判定回路3での次回の判定に供される。

【0005】この判定回路3はセル単位で制御されている。このため、シェーピング値として連続的な値を設定することはできない。即ち、図3に示すように、シェーピング値100%、50%、33%、25%というように、とびとびの値しか設定できない。

【0006】これを解消するものとして、スライディングウィンドウ方式がある。このスライディングウィンドウ方式は、図4に示すように、K個のVPI/VCI値を順次格納する内部メモリを有して構成されている。このウィンドウに格納されているVPI/VCI値は、1セルタイミングで（1セル毎に）1回シフトし、K個のVPI/VCI値を順次格納していく。そして、ウィンドウに保持するVPI/VCI値の個数を内部メモリにて保持し、これを制御することで、シェーピング値を細かく設定することができるようになる。

【0007】

【発明が解決しようとする課題】ところで、前記構成のスライディングウィンドウ方式では、シェーピング値の刻み幅を細かくしようとすると、ウィンドウサイズが大きくなければならない。例えば、シェーピング値を1%刻みで1%～100%まで制御しようとすると、ウィンドウサイズを100にしなければいけない。

【0008】ところが、このようにシェーピング値の刻み幅を細かくしようとすると、ウィンドウサイズが大きくなってハード規模が大きくなり、装置自体が大型化してしまうという問題点がある。

【0009】

【課題を解決するための手段】前記課題を解決するために第1の発明は、次のセルの送出が可能になるまでの時間である次回送出可能時間を基準設定時間である基準シェーピング値に応じて制御し、この次回送出可能時間によりセルの送信制御を行うシェーピング回路において、1セル時間を任意の数値とし、基準シェーピング値を1セル時間から設定シェーピング値を割って求めると共に、前回の次回送出可能時間を繰上げた値が基準タイ

マ値以上の場合には前回の次回送出可能時間に前記基準シェーピング値を加算し、前回の次回送出可能時間を繰上げた値が基準タイマ値より小さい場合には基準タイマ値に前記基準シェーピング値を加算して、次回送出可能時間とする次回送出可能時間決定部を備えたことを特徴とする。

【0010】これにより、送信セルの有無によって最適な次回送出可能時間を決定することができる。

【0011】さらに、1セル時間から設定シェーピング値を割って基準シェーピング値を求め、この基準シェーピング値を適宜調整することにより、設定シェーピング値を0%から100%まで細かく設定することができる。

【0012】第2の発明は、前記第1の発明において、セルのゆらぎを管理して次回送出可能時間を特定するゆらぎ制御部を備えたことを特徴とする。

【0013】これにより、セルのゆらぎを次段のネットワークが許容する範囲でセルを送出することができ、セル送出遅延までの品質を改善することができる。

【0014】第3の発明は、次のセルの送出が可能になるまでの時間である次回送出可能時間を基準設定時間である基準シェーピング値に応じて制御し、この次回送出可能時間によりセルの送信制御を行うシェーピング制御方法において、1セル時間を任意の数値とし、基準シェーピング値を1セル時間から設定シェーピング値を割って求めると共に、前回の次回送出可能時間を繰上げた値が基準タイマ値以上の場合には前回の次回送出可能時間に前記基準シェーピング値を加算し、前回の次回送出可能時間を繰上げた値が基準タイマ値より小さい場合には基準タイマ値に前記基準シェーピング値を加算して、次回送出可能時間とすることを特徴とする。

【0015】これにより、送信セルの有無によって最適な次回送出可能時間を決定することができる。

【0016】さらに、基準シェーピング値を適宜調整することにより、設定シェーピング値を0%から100%まで細かく設定することができる。

【0017】第4の発明は、前記第3の発明において、セルのゆらぎを管理して次回送出可能時間を特定するゆらぎ制御を行うことを特徴とする。

【0018】これにより、セルのゆらぎを次段のネットワークが許容する範囲でセルを送出することができ、セル送出遅延までの品質を改善することができる。

【0019】

【発明の実施の形態】次に本発明の実施形態を添付図面に基づいて説明する。本実施形態でも前記従来技術と同様に、シェーピング回路11がATM交換機に用いられる場合を例に説明する。

【0020】[第1の実施形態]図1は本実施形態に係るシェーピング回路11を示すブロック図である。ここでは、 $n=64$ のときの構成を示す。

【0021】本実施形態に係るシェーピング回路11は、シェーピング換算回路12、基準タイマ13、判定回路14、比較回路15、第1加算回路16、OR回路17、セクタ18、第2加算回路19、メモリ20から構成される。

【0022】シェーピング換算回路12は、割算回路で構成されており、[基準シェーピング値= n /設定シェーピング値]の計算を行い、基準シェーピング値を出力する。

【0023】基準タイマ13は、カウンタで構成されており、セルSYNC信号によって(セル毎に)カウントアップされる。これにより、基準タイマ13からのカウンタ出力値は、現在の状態を表し、これを基準としてシェーピング制御が行われる。

【0024】判定回路14は、コンパレータで構成されている。この判定回路14で、A入力値とB入力値とが比較され、A入力値がB入力値以上のときに、出力を“H”にする。即ち、現在の状態を表す基準タイマ13からのカウンタ出力値(A入力値)が、メモリ20に記憶されていた次回送出可能時間(B入力値)以上のときに、出力を“H”にする。この出力信号“H”は、送信OK信号であり、シェーピング制御によって送信許可が出たという信号である。

【0025】比較回路15も判定回路14と同様のコンパレータで構成されている。この比較回路15では、A入力値とB入力値とが比較され、B入力値がA入力値以上のときに“H”信号を出力する。なお、A入力値は、基準タイマ13からのカウンタ出力値である。B入力値は、第1加算回路16からの出力値である。

【0026】第1加算回路16は、アダー回路で構成されており、A入力値とB入力値を加算した値を出力する。なお、A入力値は、メモリ20からの出力値である次回送出可能時間のうち上位7ビットである。B入力値は、OR回路17からの出力値である。

【0027】OR回路17は、メモリ20からの次回送出可能時間のうち下位6ビットの信号に対してすべてOR論理を取る回路である。第1加算回路16とOR回路17とで、繰上げの処理を行っている。

【0028】セクタ18は、基準タイマ13からのカウンタ出力値と、メモリ20からの次回送出可能時間とのいずれかを選択して、第2加算回路19に出力する回路である。この出力値の選択は、比較回路15の出力結果によりなされる。即ち、比較回路15から“H”が出力されれば、メモリ20からの次回送出可能時間が選択され、“L”が出力されれば、基準タイマ13からのカウンタ出力値が選択されて、第2加算回路19に出力される。

【0029】第2加算回路19は前記第1加算回路16と同様のアダー回路で構成されている。この第2加算回路19には、セクタ18の出力値がA入力値として入

力し、シェーピング換算回路12の基準シェーピング値がB入力値として入力する。このA入力値とB入力値とが加算され、それにより算出された値が次回送出可能時間として出力される。

【0030】なお、これら比較回路15、第1加算回路16、OR回路17、セクタ18及び第2加算回路19で次回送出可能時間決定部が構成されている。

【0031】メモリ20は、第2加算回路19からの次回送出可能時間を記憶する記憶素子で、新しいデータで上書きされるようになっている。即ち、次回送出可能時間が新たに入力されると、既に記憶されている次回送出可能時間は上書きされてしまい、常に最新の次回送出可能時間が記憶され、判定回路14での次セル判定のときに読み出される。このメモリ20は、セルバッファ（図示せず）からATMセルが出力されたのを受けて動作するようになっている。

【0032】以上の構成のシェーピング回路11はハード素子で構成されている。また、比較回路15、第1加算回路16、OR回路17、セクタ18及び第2加算回路19によりシェーピング制御を行い、現在の時刻と設定されたシェーピング値を基に、次セル送出可能な時間を算出する。

【0033】本実施形態では、1セル時間をnとしてシェーピング制御を行う。これにより、 $1/n$ が最小刻み幅となる。例えば、 $n=100$ とすると、シェーピング換算回路12での計算[基準シェーピング値= $n/\text{設定シェーピング値}$]より、設定シェーピング値が0~100のとき基準シェーピング値は100%、また101のときは99%、102のときは98%となる。

【0034】なお、図1では、 $n=64$ としている。nの値を変えれば、図1におけるビット構成が変わることになる。

【0035】[動作]次に、前記構成のシェーピング回路11の動作を、図1、図5及び図6に基づいて説明する。なお、図5及び図6はシェーピング回路11の動作を説明するタイミングチャートであり、図5はATMセルを連続的に受信した場合を示し、図6は非連続的に受信した場合を示す。

【0036】まず、セルを連続的に受信した場合を、図5に基づいて説明する。この場合、次回送出可能時間経過時に送出すべきATMセルが常に存在し、比較回路15の出力は常に“H”となる。図5において、上段に設定シェーピング値が50%のときの動作を、下段に設定シェーピング値が30%のときの動作を示す。

【0037】設定シェーピング値が30%のときは、次のように動作する。なお、基準シェーピング値は[$n/\text{設定シェーピング値}$]であり、 $64/0.3=213$ となる。

【0038】まず、第1のセルSYNC信号が受信されると、基準タイマ13から基準タイマ値「0」が出力され

る。この基準タイマ値「0」は判定回路14のA入力値として入力する。一方、B入力値は、メモリ20が空であるため次回送出可能時間「0」となり、A入力値とB入力値とが同じになる。このため、判定回路14から直ちに送信OK信号が出力される。これにより、セルバッファ（図示せず）からATMセルが出力される。このATMセルの出力によって、メモリ20が動作する。

【0039】基準タイマ13からの基準タイマ値「0」は比較回路15のA入力値としても入力する。一方、メモリ20内は空なので、第1加算回路16のA入力値及びB入力値は共に「0」となり、比較回路15のB入力値も「0」となる。これにより、比較回路15から“H”信号が出力され、セクタ18はメモリ20からの出力値を選択する。これを受けて、第2加算回路19では、A入力値「0」とB入力値「213」とを加算して、次回送出可能時間「213」がメモリ20に記憶される。

【0040】次いで、第2のセルSYNC信号が受信されると、基準タイマ13から基準タイマ値「64」が出力される。判定回路14では、A入力値としての基準タイマ13からの基準タイマ値「64」と、B入力値としてのメモリ20からの出力値「213」とが比較される。このときは、B入力値が大きいので、判定回路14から送信OK信号は出力されない。これにより、セルバッファから、ATMセルが出力されることはない。また、ATMセルが出力されないため、メモリ20も動作せず、新しく書き換えられることはない。

【0041】次いで、第3のセルSYNC信号が受信されると、基準タイマ13から基準タイマ値「128」が出力される。判定回路14では、A入力値としての基準タイマ13からの基準タイマ値「128」と、B入力値としてのメモリ20からの出力値「213」とが比較される。このときも、B入力値が大きいので、判定回路14から送信OK信号は出力されない。第4のセルSYNC信号のときも同様である。

【0042】次いで、第5のセルSYNC信号が受信されると、基準タイマ13から基準タイマ値「256」が出力される。判定回路14では、A入力値としての「256」と、B入力値としての「213」とが比較される。このときは、A入力値が大きいので、判定回路14から送信OK信号が出力される。これにより、セルバッファから、ATMセルが出力され、これを受けてメモリ20が動作する。

【0043】比較回路15においては、A入力値として基準タイマ13からの事項情報「256」が入力される。一方、メモリ20内には「213」が記憶されているので、OR回路17から、「213」が「64」で割り切れない数であることを示す“1”が出力される。この出力“1”は、下位6ビットを繰上げることであり、第1加算回路16のB入力値「64」となる。A入力値

は、上位7ビットであるため、「192」を意味する。これらが加算され、比較回路15のB入力値は「256」となって、A入力値「256」と同じ値になる。このため、比較回路15から“H”が出力され、セクタ18ではメモリ20からの出力値が選択される。これにより、第2加算回路19では、A入力値「213」とB入力値「213」とが加算され、次回送出可能時間「426」がメモリ20に記憶される。

【0044】以下同様に、第6及び第7のセルSYNC信号が受信された場合は、メモリ20の出力値の方が大きいので、送信OK信号は出力されず、メモリ20も動作しない。

【0045】次いで、第8のセルSYNC信号が受信されると、判定回路14においてA入力値が大きくなるので、送信OK信号が出力され、セルバッファから、ATMセルが出力される。これを受けて前記同様に、メモリ20が書き換えられる。

【0046】以下、同様の動作を繰り返す。

【0047】なお、設定シェーピング値が50%のときも、前記設定シェーピング値が30%のときと同様の動作をする。このとき、基準シェーピング値は $[n/\text{設定シェーピング値}]$ であり、 $64/0.5=128$ となる。

【0048】次に、ATMセルを非連続的に受信した場合を、図6に基づいて説明する。ここでは、設定シェーピング値が30%のときの動作のみを示す。

【0049】まず、第1のセルSYNC信号が受信されると、前述したATMセルの連続受信の場合と同様に、基準タイマ13から基準タイマ値「0」が出力される。また、メモリ20の出力値も「0」であるため、直ちに判定回路14から送信OK信号が出力される。これにより、セルバッファ（図示せず）からATMセルが出力されると共に、メモリ20が動作する。

【0050】比較回路15から第2加算回路19においても前記同様に動作して、次回送出可能時間「213」がメモリ20に記憶される。

【0051】第4のセルSYNC信号が受信されるまでは、判定回路14において、A入力値よりもB入力値の方が大きいので、前記同様に、判定回路14から送信OK信号は出力されず、メモリ20も書き換えられない。

【0052】次いで、第5のセルSYNC信号が受信されると、基準タイマ13から基準タイマ値「256」が出力される。判定回路14では、A入力値としての「256」と、B入力値としての「213」とが比較され、A入力値の方が大きくなるので、判定回路14から送信OK信号が出力される。しかし、この場合、セルバッファに送信するATMセルが格納されていないので、ATMセルは出力されない。これにより、メモリ20は動作せず、新しく書き換えられることもない。

【0053】第6のセルSYNC信号が受信された場合も同

様に、送信OK信号は出力されるが、セルバッファに送信するATMセルが格納されていないので、ATMセルは出力されない。メモリ20も動作しない。

【0054】そして、第7のセルSYNC信号が受信されたときに、ATMセルがセルバッファに格納されていると、判定回路14からの送信OK信号を受けて、セルバッファからATMセルが送信される。これを受けて、メモリ20も動作する。

【0055】比較回路15においては、A入力値として基準タイマ13からの基準タイマ値「384」が入力される。一方、メモリ20内には「213」が記憶されているので、第1加算回路16及びOR回路17で繰上げされた出力値「256」が比較回路15のB入力値として入力する。このときは、A入力値の方が大きくなるので、比較回路15から“L”が出力される。これにより、セクタ18では基準タイマ13からの出力値が選択される。これを受けて、第2加算回路19では、A入力値「384」とB入力値「213」とが加算され、次回送出可能時間「597」がメモリ20に記憶される。

【0056】以下、同様に、基準タイマ13からの出力値が、メモリ20からの出力値「597」より大きくなるまで、判定回路14から送信OK信号は出力されず、メモリ20も書き換えられない。

【0057】そして、第11のセルSYNC信号が受信されると、A入力値「640」が、B入力値「597」より大きくなり、判定回路14から送信OK信号が出力される。このとき、セルバッファに送信するATMセルが格納されていれば、そのATMセルが出力され、メモリ20が前記同様に動作する。

【0058】セルバッファに送信するATMセルが格納されてなければ、ATMセルがセルバッファに格納されたところで直ちにそのATMセルが送信され、次回送出可能時間として、そのときの基準タイマ値が取り込まれる。

【0059】〔効果〕以上のように、前回の次回送出可能時間を、第1加算回路16及びOR回路17で繰上げた値が、基準タイマ値以上の場合には前回の次回送出可能時間に基準シェーピング値を加算して次回送出可能時間とする。また、繰上げ値が、基準タイマ値より小さい場合には、その基準タイマ値に基準シェーピング値を加算して次回送出可能時間とする。これにより、送信するATMセルが有る場合と無い場合とにそれぞれ対応して、最適な次回送出可能時間を決定することができるようになる。

【0060】また、1セル時間 n と基準シェーピング値とを適宜調整することにより、設定シェーピング値を0%から100%まで細かく設定することができるようになる。

【0061】また、1セル時間 n の値を変えることによって、基準タイマ値の最小刻み幅を可変に調整すること

ができるようになる。

【0062】さらに、シェーピング回路11全体をハード構成にすることにより、ソフト処理における、シェーピング制御のための時間を削減することができる。即ち、ATM交換機において、本来の交換処理の速度低下を防止しながら、確実にシェーピング制御を行うことが可能になる。

【0063】[第2の実施形態]次に本発明の第2の実施形態について説明する。図7は本実施形態にかかるシェーピング回路を示すブロック図である。ここでも、 $n=64$ のときの構成を示す。本実施形態のシェーピング回路25は前記第1の実施形態のシェーピング回路11によるシェーピング制御に、CDVの管理を追加したものである。なお、CDVとは、セルのゆらぎ(Cell Delay Variation)のことである。

【0064】CDVの管理は、あらかじめネットワーク上でコネクション設定時に決定されたCDV許容値の範囲で送出可能とする制御である。

【0065】本実施形態のシェーピング回路25は、前記第1の実施形態のシェーピング回路11に、第3加算回路26と減算回路27とCDV換算回路28を追加した構成になっている。

【0066】CDV換算回路28は掛算回路で構成されており、[基準CDV値= $n \times$ 設定CDV値]のかけ算処理を行う。なお、設定CDV値は、実際に許容するCDV値(セルのゆらぎ)を設定する値である。このCDV換算回路28は、CDV値を出力するが、一定条件の下にCDV値を出力しない場合がある。即ち、最初のセルSYNC信号の入力及び、判定回路14が送信OK信号を出力したのに対してセルバッファにATMセルがなくてこのATMセルが送信されなかった後の最初のセルSYNC信号の入力の場合には、CDV換算回路28からCDV値は出力されず、その次のセルSYNC信号入力からCDV値が出力するようになっている。CDV換算回路28からの出力は、第3加算回路26及び減算回路27に出力される。

【0067】第3加算回路26は、CDV換算回路28からのCDV値とメモリ20からの出力値とを加算して、その加算値を、第1加算回路16、OR回路17及びセクタ18の“1”側に出力するようになっている。

【0068】減算回路27は、第2加算回路19の出力値からCDV換算回路28の出力値を減算してメモリ20に出力するようになっている。

【0069】前記第3加算回路26、減算回路27及びCDV換算回路28でゆらぎ制御部が構成されている。

【0070】[動作]次に、前記構成のシェーピング回路25の動作を、図8に基づいて説明する。なお、図8はシェーピング回路25の動作を説明するタイミングチャートである。図8中の上段はATMセルが連続して受

信された場合の例で、下段は非連続的に受信した場合の例である。なお、第1の実施形態の場合と同様に、 $n=64$ を例に説明する。シェーピング値は30%、設定CDV値は2セル($n \times$ CDV値=128)とする。シェーピング値は30%であるため、(n /シェーピング値)=設定値より、($64/0.3$)=213を基準シェーピング値(設定値)とする。

【0071】まず、ATMセルを連続的に受信した場合を、図8の上段に基づいて説明する。この場合、次回送出可能時間経過時に送出すべきATMセルが存在し、比較回路15の出力は常に“H”となる。

【0072】第1のセルSYNC信号が受信されると、基準タイマ13から基準タイマ値「0」が出力される。この基準タイマ値「0」は判定回路14のA入力値として入力する。一方、B入力値は、メモリ20が空であるため次回送出可能時間「0」となり、A入力値とB入力値とが同じになる。このため、判定回路14から直ちに送信OK信号が出力される。これにより、セルバッファ(図示せず)からATMセルが出力される。このATMセルの出力によって、メモリ20が動作する。

【0073】また、基準タイマ13からの基準タイマ値「0」は比較回路15のA入力値としても入力する。一方、CDV換算回路28では、最初のセルSYNC信号入力なので、CDV値は出力されない。第3加算回路26では、CDV換算回路28からの出力もメモリ20からの出力も「0」となるため、出力値「0」を第1加算回路16及びOR回路17に出力する。これにより、比較回路15のB入力値も「0」となる。これにより、比較回路15から“H”が出力され、セクタ18は第3加算回路26からの出力値を選択する。これを受けて、第2加算回路19では、A入力値「0」とB入力値「213」とを加算して、「213」が減算回路27のA入力値として入力する。そして、減算回路27でこのA入力値としての「213」からCDV換算回路28のCDV値「128」が減算されて次回送出可能時間「85」がメモリ20に記憶される。

【0074】次いで、第2のセルSYNC信号が受信されると、基準タイマ13から基準タイマ値「64」が出力される。判定回路14では、A入力値としての基準タイマ13からの基準タイマ値「64」と、B入力値としてのメモリ20からの出力値「85」とが比較される。このときは、B入力値が大きいため、判定回路14から送信OK信号は出力されない。これにより、メモリ20も動作しない。

【0075】次いで、第3のセルSYNC信号が受信されると、基準タイマ13から基準タイマ値「128」が出力される。判定回路14では、A入力値としての「128」と、B入力値としての「85」とが比較され、A入力値の方が大きくなるので、判定回路14から送信OK信号が出力される。これにより、セルバッファ(図示せ

ず)からATMセルが出力される。このATMセルの出力によって、メモリ20が動作する。

【0076】また、比較回路15では、基準タイマ値「128」がA入力値として入力する。一方、第3加算回路26では、CDV換算回路28からのCDV値「128」とメモリ20の次回送出可能時間「85」とが加算されて、出力値「213」が第1加算回路16及びOR回路17に出力する。これにより、比較回路15のB入力値は「256」となり、比較回路15から“H”が出力される。セクタ18は、この“H”信号を受けて、第3加算回路26からの出力値を選択する。これを受けて、第2加算回路19では、A入力値「213」とB入力値「213」とを加算して「426」となり、減算回路27では、「426」からCDV値「128」が減算されて「298」となる。そして、この「298」が次回送出可能時間としてメモリ20に記憶される。

【0077】以下、同様にして、基準タイマ値「320」「512」「768」等においてセルバッファからATMセルが出力され、前回の次回送出可能時間が取り込まれて算出された次回送出可能時間がメモリ20に記憶される。

【0078】一方、ATMセルが連続して受信されない場合は、次のように動作する。図8の下段に基づいて説明する。

【0079】第1及び第2のセルSYNC信号が受信された場合の動作は、前述のATMセルが連続して受信される場合の処理と同様である。

【0080】次いで、第3のセルSYNC信号が受信されると、基準タイマ13から基準タイマ値「128」が出力されて、判定回路14から送信OK信号が出力されるが、セルバッファに送信するATMセルが格納されていないので、ATMセルは出力されない。これにより、メモリ20も動作しない。第4のセルSYNC信号の場合も同様である。

【0081】そして、第5のセルSYNC信号受信の際にセルバッファにATMセルが格納されていると、判定回路14からの送信OK信号を受けて、セルバッファからすぐにATMセルが送信される。このATMセルの送信によって、メモリ20が動作する。

【0082】また、比較回路15では、基準タイマ値「256」がA入力値として入力する。一方、CDV換算回路28では、前回の送信OK信号送出に対してセルバッファからATMセルが出力されなかったため、CDV値は「0」となる。第3加算回路26では、CDV値「0」とメモリ20の次回送出可能時間「85」とが加算されて、出力値「85」が第1加算回路16及びOR回路17に出力する。これにより、比較回路15のB入力値は「128」となり、比較回路15から“L”が出力される。セクタ18は、この“L”信号を受けて、基準タイマ13から基準タイマ値「256」を選択す

る。これを受けて、第2加算回路19では、A入力値「256」とB入力値「213」とを加算して「469」となり、減算回路27で、「469」からCDV値「128」が減算されて「341」となる。そして、この「341」が次回送出可能時間としてメモリ20に記憶される。

【0083】この次回送出可能時間が「341」に設定されることにより、次に送信OK信号が出力されるのは、基準タイマ値「384」のときとなる。即ち、基準タイマ値「0」と基準タイマ値「256」の間で信号が送出されなかった分の補正のために、信号送出の間隔が短縮して、セルのゆらぎを管理している。

【0084】[効果] 以上のように第2の実施形態の場合にも、第1の実施例と同様の効果を奏することができる。

【0085】さらに、本実施形態では、セルのCDV値を設定することにより、セルのゆらぎを次段のネットワークが許容するCDVの範囲でATMセルを送出することができ、ATMセル送出遅延までの品質を改善することができる。

【0086】[利用形態] 前記各実施形態では、シェーピング回路11, 25をATM交換機に用いた場合を例に説明したが、これ以外に、端末側のATMインターフェイスカード(NIC)など、ATMを収容する装置全般に採用することができる。

【0087】また、前記各実施形態では、ATMセルをシェーピングする方法として提案したが、整流することができる信号類であれば、本発明を適用することができる。

【0088】

【発明の効果】 以上、詳述したように、本発明のシェーピング回路によれば、次のような効果を奏する。

【0089】(1) 前回の次回送出可能時間と基準タイマ値とを比較して、前回の次回送出可能時間または基準タイマ値に、選択的に基準シェーピング値を加算して次回送出可能時間とするようにしたので、送信セルの有無によって最適な次回送出可能時間を決定することができる。

【0090】(2) さらに、1セル時間を任意の数値とし、1セル時間から設定シェーピング値を割って基準シェーピング値を求めるようにしたので、基準シェーピング値を適宜調整することにより、設定シェーピング値を0%から100%まで細かく設定することができる。

【0091】(3) また、1セル時間の数値を変えることによって、基準タイマ値の最小刻み幅を可変に調整することができるようになる。

【0092】(4) セルのゆらぎを管理して次回送出可能時間を特定するようにしたので、セルのゆらぎを次段のネットワークが許容する範囲でセルを送出ことができ、セル送出遅延までの品質を改善することができる。

きる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るシェーピング回路を示すブロック図である。

【図2】従来のシェーピング回路を示すブロック図である。

【図3】シェーピング値が100%、50%、33%及び25%の出力セル流を示す図である。

【図4】スライディングウィンドウを示す模式図である。

【図5】第1実施形態のシェーピング回路においてセルを連続受信した場合の動作を説明するタイミングチャートである。

【図6】第1実施形態のシェーピング回路においてセル

を非連続受信した場合の動作を説明するタイミングチャートである。

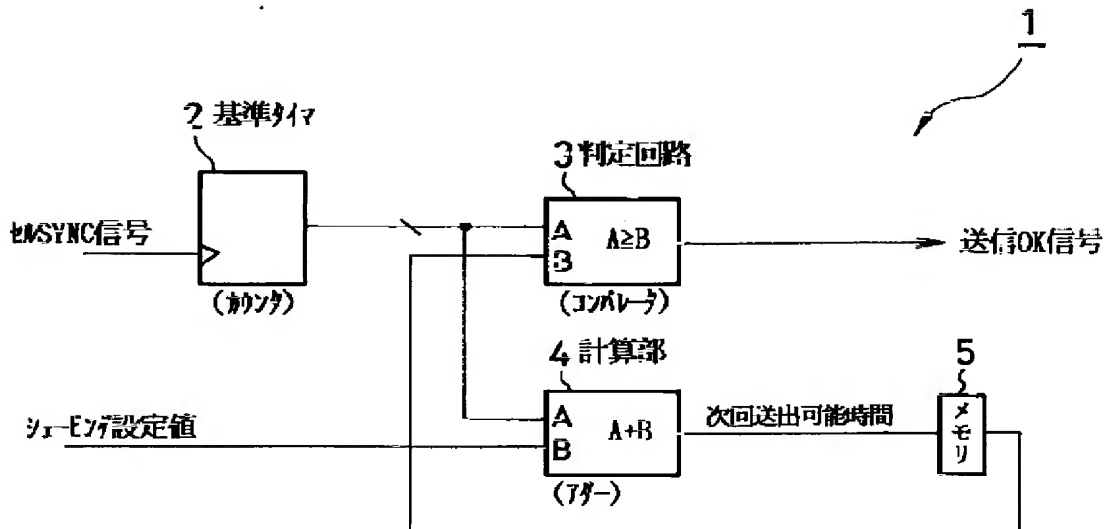
【図7】本発明の第2実施形態に係るシェーピング回路を示すブロック図である。

【図8】第2実施形態のシェーピング回路においてセルを受信した場合の動作を説明するタイミングチャートである。

【符号の説明】

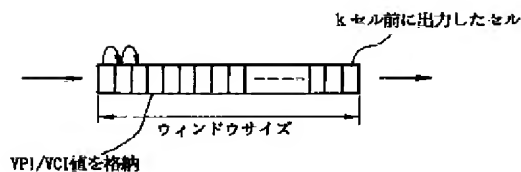
11, 25: シェーピング回路、12: シェーピング換算回路、13: 基準タイマ、14: 判定回路、15: 比較回路、16: 第1加算回路、17: OR回路、18: セレクタ、19: 第2加算回路、20: メモリ、26: 第3加算回路、27: 減算回路、28: CDV換算回路。

【図2】

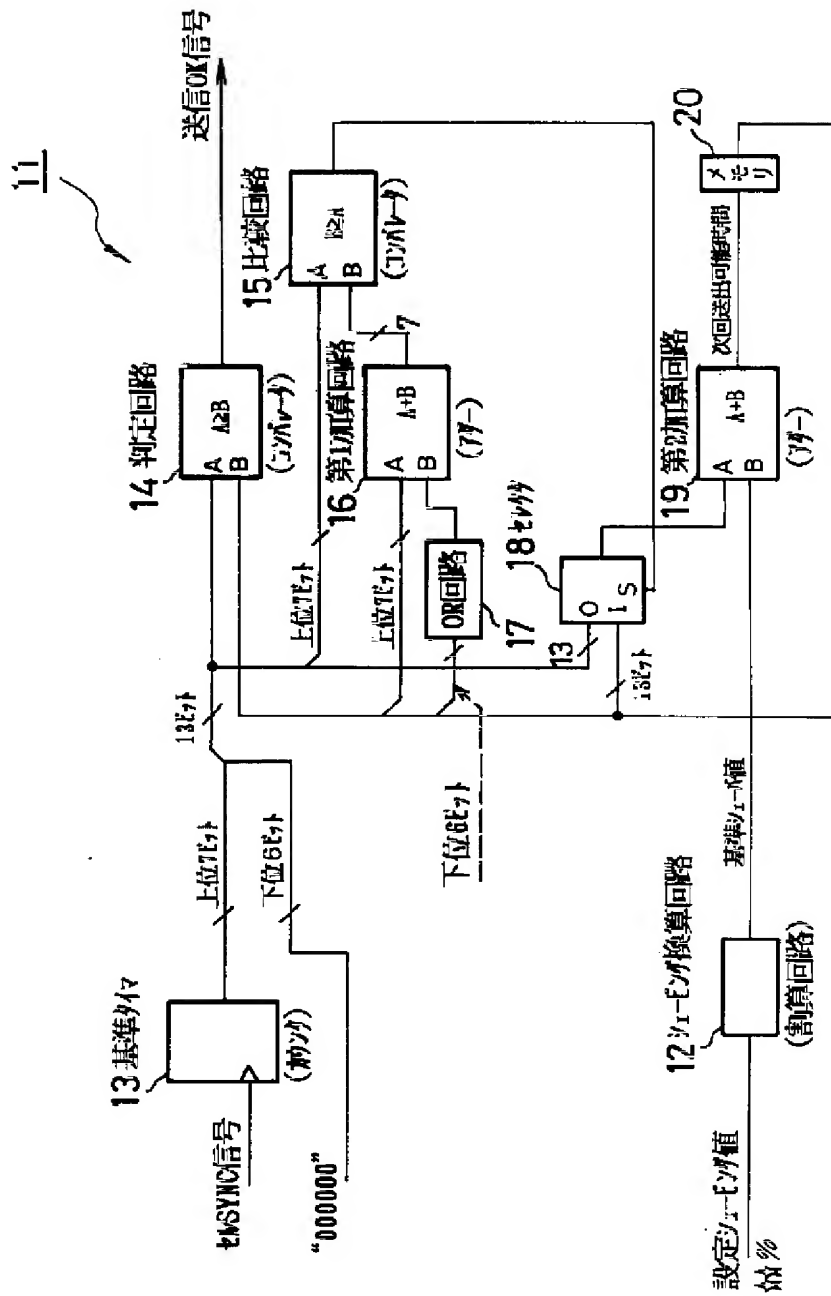


従来のシェーピング回路

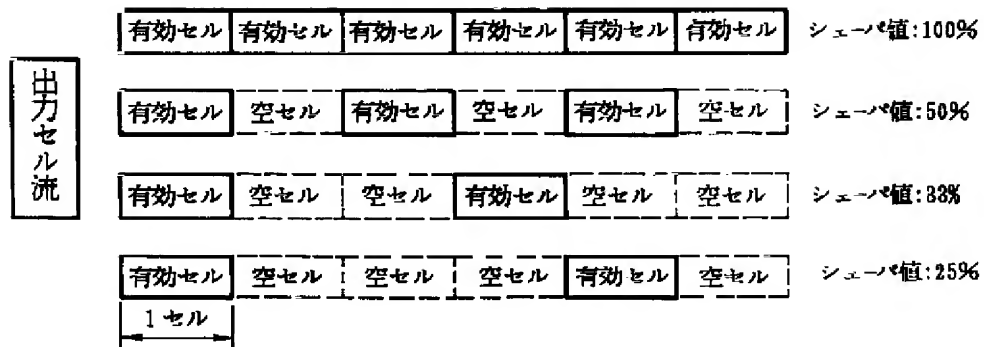
【図4】



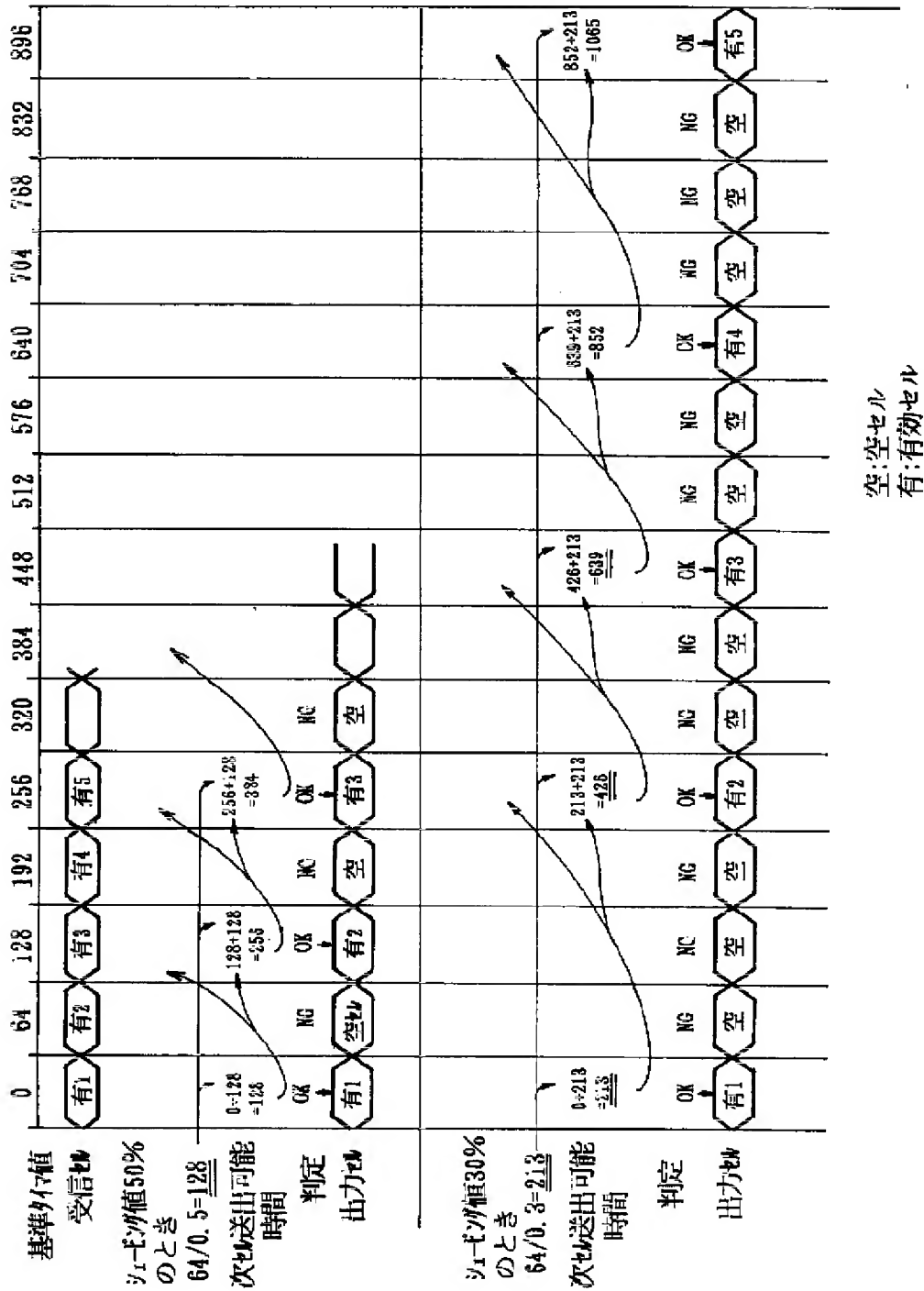
【図1】

シフティング回路(例として $n = 64$ の時)

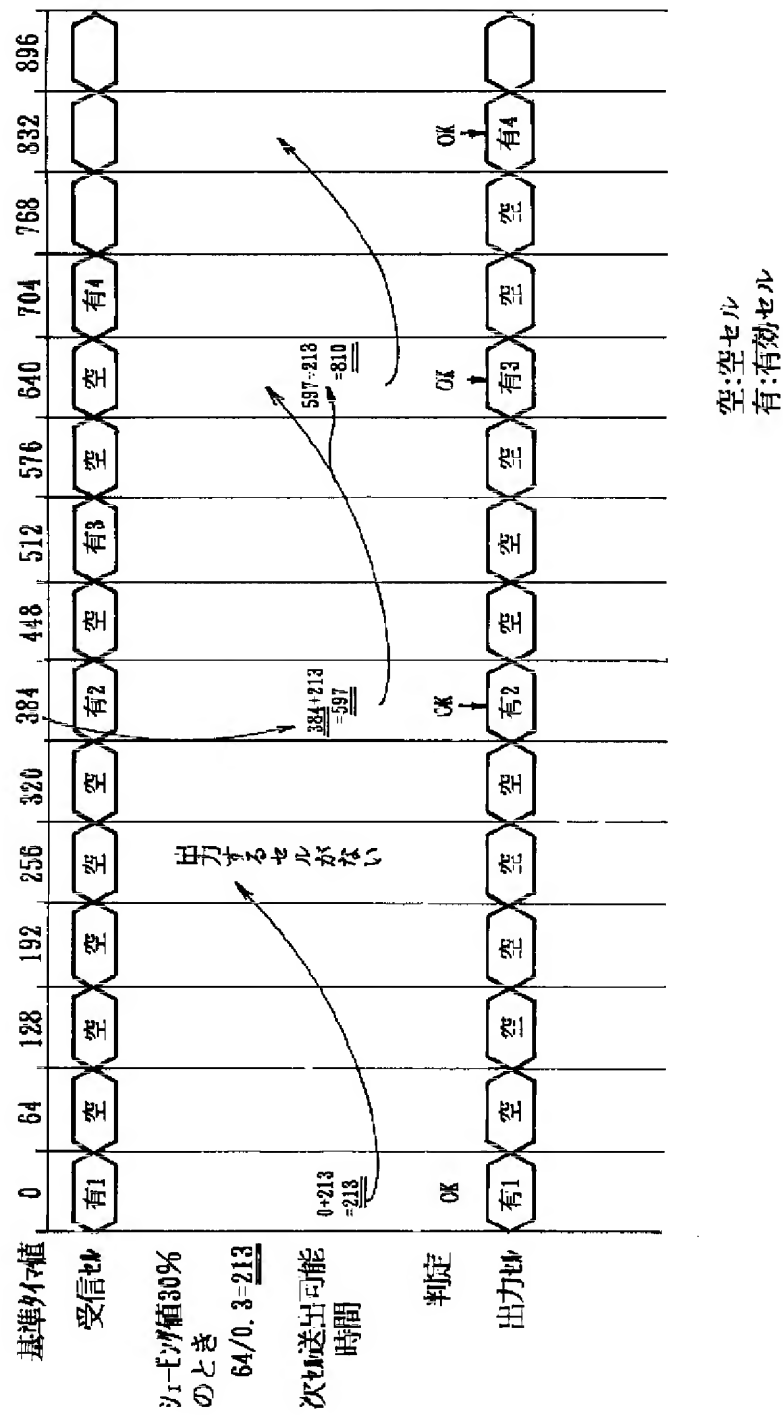
【図3】



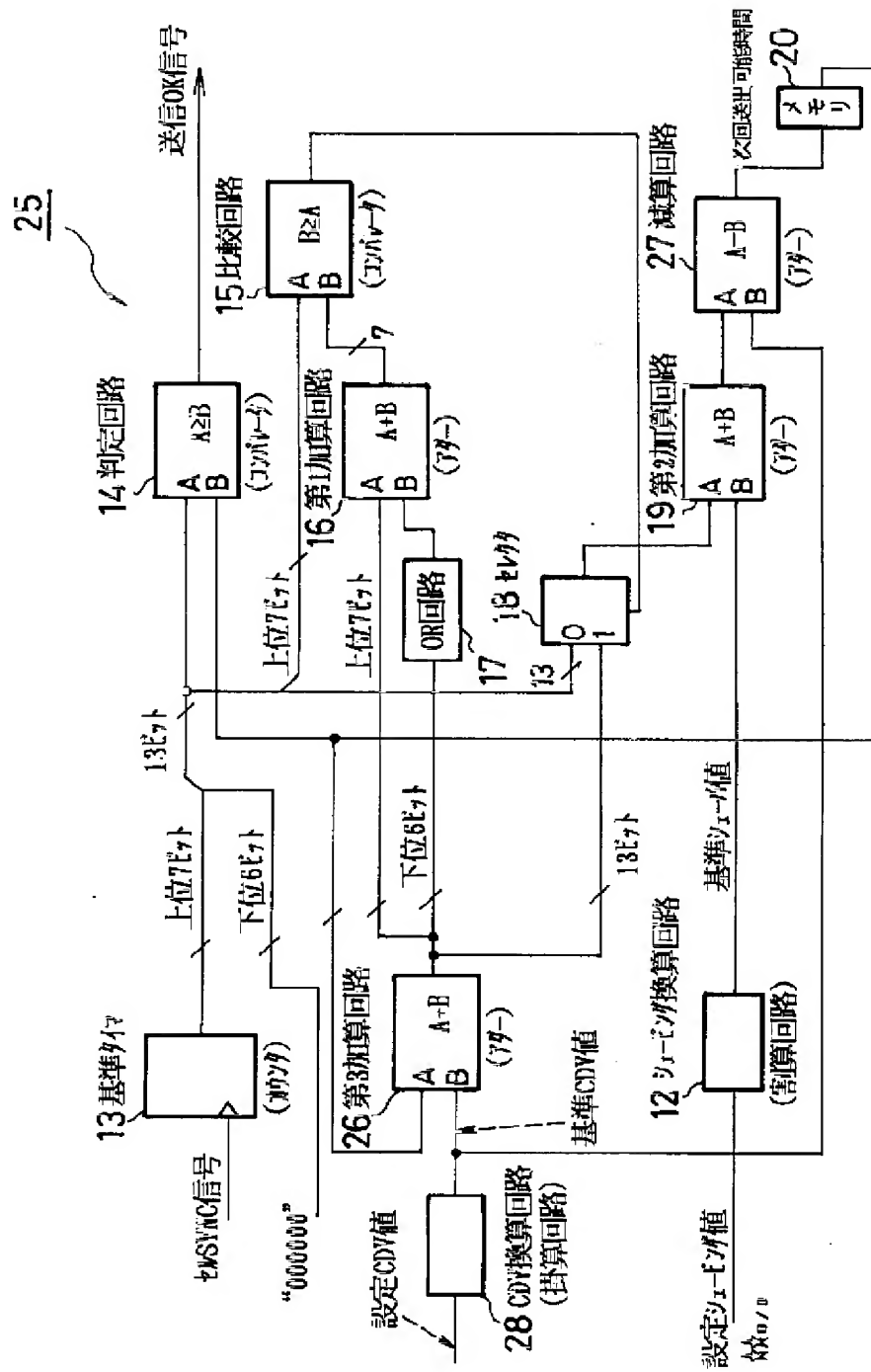
【図5】



【図6】



【図7】

シewhart制御回路(例として $n=64$ の時)

【図8】

